

文章编号 1004-924X(2011)09-2228-08

高速实时光纤图像传输系统的实现

孙科林^{1,2,3*}, 周维超¹, 吴钦章¹

(1. 中国科学院 光电技术研究所, 四川 成都 610209;

2. 电子科技大学, 四川 成都 610054; 3. 中国科学院 研究生院, 北京 100049)

摘要:为提高光电经纬仪上图像传输系统的性能,设计了利用现场可编程门阵列(FPGA)的Rocket IO IP核,完成了Camera link并行接口与光模块串行接口的相互转换。通过自定义的图像传输协议,搭建了图像传输系统与各个分系统的互联平台,实现了高速图像实时传输至机下进行处理、显示和记录,同时在该光纤通道上复合传输相机控制命令和外同步时序。阐述了系统总体结构思想,发送端和接收端的软、硬件设计,介绍了Rocket IO关键属性、数据包收发状态机、图像传输协议等。实验结果表明,系统工作速率达2.5 Gb/s,传输链路稳定、可靠、无误码,突破了传统光纤传输协议的开源局限,用户可直接使用光纤串行数据信息,减少导电环配线量,具有传输带宽高,图像质量好,抗电磁干扰性能强等优点。系统经过测试验证并已应于到工程项目中。

关键词:光电经纬仪;现场可编程门阵列;Rocket IO;Camera link接口;光纤图像传输;图像传输协议

中图分类号: TN919.8 **文献标识码:** A **doi:** 10.3788/OPE.20111909.2228

Realization of high-speed real-time optical fiber image transmission system

SUN Ke-lin^{1,2,3*}, ZHOU Wei-chao¹, WU Qin-zhang¹

(1. *Institute of Optics and Electronics, Chinese Academy of Sciences, Chengdu 610209, China;*

2. *University of Electronic Science and Technology of China, Chengdu 610054, China;*

3. *Graduate University of Chinese Academy of Sciences, Beijing 100049, China)*

** Corresponding author, E-mail: colin7612@126.com*

Abstract: To improve the performance of image transmission systems on optical electronic theodolites, the Rocket IO IP core based on a Field Programming Gate Array(FPGA) is designed to accomplish the interfaces conversion between parallel camera link and serial optical module. It uses a custom image transmission protocol to build a platform to interconnects the image transmission system with various subsystems. Using this optical fiber transmission channel, the system realizes high-speed real-time image transmission down to a machine for processing, displaying and recording. It can also compound and transmit commands and synchronization timing up to the camera. This paper describes the system architecture, the software and hardware design for the sender, and receiver, and the key technologies for the system, and introduces attributes of Rocket IO, transceiver state machines for data-packets

and the image transmission protocol. The experimental results indicate that the system will operate at a rate up to 2.5 Gb/s, the transmission link is stable, reliable with no error codes. As the protocol is open-source, users can use the serial data directly. This design breaks through the limitations of traditional optical fiber transmission protocol, and reduces the amount of wiring. The advantages of this system are high bandwidth, high quality images and high anti-jamming level. After a validation test, the system has been applied to various projects.

Key words: theodolite; Field Programming Gate Array (FPGA); Rocket IO; Camera link interface; optical fiber image transmission; image transmission protocol

1 引言

高速实时图像传输的可靠性、稳定性将直接影响到光电经纬仪图像处理的最终结果,是关系到整个经纬仪性能指标的重要因素之一。光电经纬仪的图像源来自高速 CCD 相机,相机实时输出的高速图像数据均需通过标准的 Camera link 并行接口输出,并且是在经纬仪工作情况下实时传输。传统的数据传输办法是通过电滑环的传输通道,但电滑环抗干扰性差,带宽低,特别是由于磨损导致使用寿命有限^[1-6]而无法传输高速的 Camera link 标准图像数据,因此,处理系统只能置于机上。另外,标准的 Camera link 并行接口线多,配线复杂,数据传输极易受外界工作环境的干扰,特别是在恶劣环境下,系统很难稳定、可靠的工作。

随着光纤技术的普遍推广,光纤滑环替代电滑环成为必然趋势。目前,国际市场上已有商用光纤图像传输系统,但该产品仍具有局限性。比如,美国 THINKLOGICAL 公司的几款 Camera link 光纤产品,可以实现对 Camera link 标准图像数据包括全配置型和基本型的相机的高速光纤传输^[1-6],在机上(发送端)完成 Camera link 并行接口至光纤接口的转换,在机下(接收端)则完成光纤接口至 Camera link 并行接口的转换,但用户在机下的接收端只能得到 Camera link 并行接口数据,且其传输结构同样给用户造成配线工作量大,配线复杂,系统稳定性差等困难。若用户需要光纤接口数据,则另需花昂贵的费用购买协议,因此,有必要自主开发光纤图像传输协议。

近年来,高速串行传输互联技术的日益成熟,使得高速率、宽带宽、抗干扰性强的串行传输越来越受到设计者们的青睐;特别是 Xilinx 公司的

FPGA 内嵌 RocketIO IP 核解决方案,搭建了 FPGA 与光纤通信的桥梁,使得高速串行传输从板上芯片级间互联和板间互联向系统与系统间的高速串行互联成为现实。本设计根据工程项目背景需求,结合国内研究条件,实现了系统接口转换功能,并在此基础上提出了自定义的光纤图像传输协议,利用该协议,实现了图像传输系统与各个分系统的通信和整个系统的串行化传输,使得图像可在机下进行实时处理、显示和记录,减少了系统的配线工作量,提高了系统的抗电磁干扰性能,降低了开发成本。系统的应用测试结果表明,系统在高速传输运行状态下,图像传输稳定,且机上、机下相互之间通过光纤传输系统可靠通信,系统运行性能良好,满足系统的传输性能要求。

2 系统总体设计

如图 1 所示,系统由发送端和接收端两部分组成,其中发送端完成图像从 Camera link 输入至光纤输出的转换,接收端则完成图像从光纤输入至 Camera link 输出的转换,发送端和接收端之间(即机上至机下)采用单模光纤传输。在发送

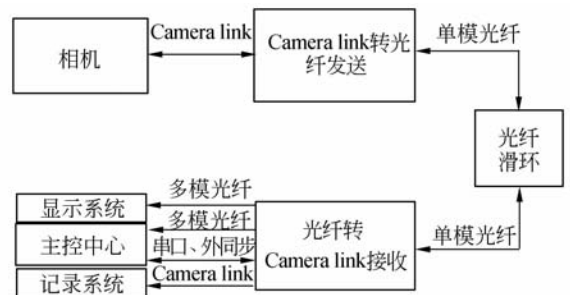


图 1 系统原理框图

Fig. 1 Block diagram of system

端,实时图像来自于相机,图像输出接口均为标准的 Camera link 接口输出。相机输出图像连接至 Camera link 转光纤模块即发送端部分,由于经纬仪的转动,实时图像要经过光纤滑环(光导环)传输,将光纤图像送至机下。在接收端,实时图像经过光纤滑环(光导环)后,再把图像接入光纤转 Camera link 接收模块,接收端输出的 Camera link 图像直接输出给记录系统,实现实时记录图像。同时,在接收端模块上,通过 FPGA 内部逻辑设计转发两路光纤图像传输通道,其中一路将实时图像发送到主控中心 CPCIE (Compact-PCIExpress)架构的交换板,由交换板经过主控中心的背板,分别将实时图像发送至系统板、处理板、以及电机伺服、系统后板等单元模块;另一路光纤传输通道将图像转发到显示系统,实现图像实时显示。此外主控中心发出的相机控制命令以及外同步时序,在接收端经过本地时钟采样后,把采样值打包,并沿光纤传输通道发送至发送端,在发送端(机上)将接收到的数据包解包为采样值,再根据采样值恢复为原始时序信号,由发送端(机上)的 Camera link 接口送至相机,实现主控中心(机下)实时控制相机。

3 系统硬件设计

3.1 发送端硬件设计

发送端硬件原理框图如图 2 所示,相机的 Camera link 接口有 Base 型、Medium 型、Full 型三种配置,本设计使用的是 Base 型配置相机,Full 型配置相机输入接口。由于 Camera link 标准接口输入电平为 LVDS,在硬件设计上,采用

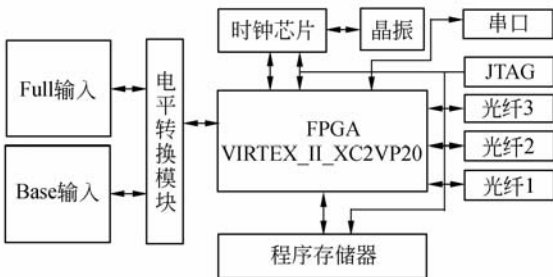


图 2 发送端硬件原理框图

Fig. 2 Block diagram of transmitter system

DS90CR288A 芯片,完成 LVDS 电平至 TTL 电平转换;选择型号为 XC2VP20FG676 的 FPGA 作为主处理芯片,该 FPGA 单片最多集成了 8 个 ROCKTIO 核,每个 ROCKTIO 通道可提供从 600 Mb/s 到 3.125 Gb/s 传输速度。PROM 芯片选择 xcf32p 作为程序存储芯片;选择高精度晶振 JFVNY-1007-X075NAGRC 的 25.000 00 MHz 为时钟源,时钟芯片选择 IDT5V9885 作为系统的主时钟,该时钟芯片可根据设计需要灵活配置输出时钟频率,本设计使用时钟频率为 125 MHz,在时钟芯片内部完成 5 倍频,时钟芯片输出为 125 MHz 高精度时钟供给 ROCKTIO 使用,Vertex-II 的 ROCKTIO 内部将时钟 20 倍频后得 2.5 Gb/s 的传输速度。采用 MAX3225E 为串口电平转换芯片。光模块采用 OPT0STAR 公司的 CWDM 光模块 SFP-2.5G,波长为 1 470~1 610 nm,共 8 个通道。

3.1 接收端硬件设计

接收端硬件原理框图如图 3 所示,接收端硬件结构和发送端相同,仅区别在接收端 Camera link 的输出,采用 DS90CR287 芯片,完成 TTL 电平至 Cameralink 的 LVDS 电平转换。

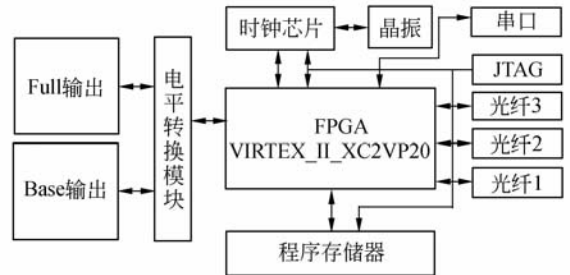


图 3 接收端硬件布局框图

Fig. 3 Block diagram of receiver system

4 系统软件设计

4.1 图像信息提取

由于在 Camera link 并行数据中,Camera link 标准接口输入有 28 位数据位和一位像素时钟位,以及相机控制信号,Camera Control 1 (CC1)、Camera Control 2 (CC2)、Camera Control 3 (CC3)、Camera Control 4 (CC4)。图像数据格式为当 FV(高)有效,且 LV(高)有效时,若

带有的 DV 亦(DV 高)有效时,此时的图像数据才有效。因此需要在发送端将每一帧的起始(帧首标志),每一帧的结束(帧尾标志)提取出来,同样每一行的起始(行首标志),每一行的结束(行尾标志)提取出来。帧首提取方法是将其 FV 延迟一个时钟周期后逻辑取反,再将其逻辑取反信号和原 FV 逻辑相与得到帧首标志。同理,可得帧尾标志,行首标志,行尾标志。

(1)像素/行的统计,当每一行的开始,行首标志为 1 有效时统计值清零,当 FV、LV 都有效,且每一个像素时钟上升沿到来时才开始统计像素/行的值;行尾标志为 1 有效时提取出该行的像素/行的统计值。

(2)行/帧统计,设计当每一行的像素统计值大于 16 个像素时才认为该行是有效行,且每一个像素时钟上升沿到来时才开始统计行/帧值,当帧尾标志为 1 有效时提取出该帧的行/帧统计值。在每一帧的帧消隐期间,行/帧的统计值清零。

4.2 图像帧协议设计

利用帧消隐期间添加自定义帧协议的附加信息,在自定义帧协议中,附加信息的添加是在图像数据写入 RAM 时完成的,采用 FPGA 内部的 RAMB16_S18_S18 作为缓存,巧妙利用了 RAMB16_S18_S18 的奇偶校验位即 parity 位作为 RocketIO 传输链路中的 K 字符指示。图像串行传输的位宽为 16 bit(双字节),自定义的帧协议如图 4 所示,帧首过后延迟一个时钟周期,在下一个时钟上升沿时,开始添加行/帧统计值、像素/行统计值、以及用于协议自校验的帧编号;预留 8 Byte 作为下一步扩展完善协议功能使用,紧接着就是图像的有效数据发送;最后,每一帧的结束位置添加帧尾标志。添加的帧首标志、帧尾标志用特殊字符和 K 字符指示来共同表示,特殊字符及 K 字符指示从 8B/10B 编码字符表里选用,行/帧统计,像素/行统计、帧编号以及有效数据都将 K 字符指示作为辅助标志,以便于传输通道链路的自检测,在接收端快速、可靠提取帧首、帧尾特殊标志字符。

4.3 Rocket IO 属性例化设计

基于自定义的帧传输协议,设计中 Rocket IO 对时钟的精度要求非常严格。本设计采用 IDT_5V9885 时钟芯片输出的时钟作为 Rocket IO 的参考时钟,Rocket IO 的传输速率为 2.5

帧首 2 Byte	延迟 2 Byte	行/帧 2 Byte	像素/行 2 Byte	帧编号 4 Byte	预留 8 Byte	有效数据	帧尾 2 Byte
--------------	--------------	---------------	----------------	---------------	--------------	------	--------------

图 4 帧传输协议格式

Fig. 4 Block diagram of frame protocol format

Gb/s,参考时钟为 125 MHz,时钟输入方式为差分输入,选择 Rocket IO 的 BREFCLK 为参考时钟输入端,且 BREFCLK 采用静态控制模式,因为 REFCLK 为参考时钟输入端时,RocketIO 最高传输速度只能达到 1.25 Gb/s。终端阻抗选择 50 Ω ;采用静态 8B/10B 编码控制机制;预加重选择 10%,输出电压摆幅为 500 mV。预加重、输出电压摆幅并非选择越高越好,因为过高的预加重对输出电压摆幅有过冲影响,会导致传输链路误码率的增加,因此,需要经过实验测试来调节输出电压摆幅值,使得传输链路达到稳定要求。选择 Comm 字符对齐和 Comm 字符检测序列,Plus-Comm 字符序列为 0011111000(10 bit),选择动态控制 Plus-Comm 字符检测方式,Minus-Comm 字符序列为 1100000000(10 bit),选择动态控制 Minus-Comm 字符检测方式,Comm-mask 字符序列为 1111111000,Align Comm MSB 选项必须要选择,这样 Comm 字符才能正确对齐在高字节,否则 Comm 字符有可能对齐在高字节,也有可能对齐在低字节,这样输出的串行数据流就会出错。时钟修正,当 RocketIO 的接收 FIFO 写入端的输入数据速率和读取端的输出数据速率不一致时,需要进行时钟修正,输入接收 FIFO 的输入数据速率是由 RXRECCLK 恢复时钟的频率决定的,而从接收 FIFO 读取端输出的数据速率是由 RXUSRCLK 的频率决定的。消除这两者之间的差异,是通过插入/移除 idle 时隙的时钟修正模式完成的。设计中使用的时钟修正序列长度为 4 个字节,时钟修正和字符对齐序列都为 00111111100,00000000000 即 FC00 特殊字符为 K28.7;00111111100,00000000000,也就是 FC00 特殊字符为 K28.7,共 4 个序列,选择了第二个时钟修正序列模板;通道绑定未使用。

4.4 数据包发送协议

图像数据的发送是以数据包的形式发送的,自定义的发送数据包格式如图 5 所示:每一包数据的长度为 1 KByte,数据宽度为 16 bit,所以每

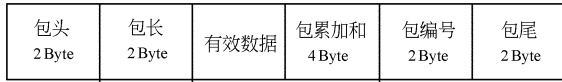


图 5 图像数据包格式

Fig. 5 Block diagram of image data package format

一包数据的时钟长度为 512 个时钟周期,这就要考虑时钟修正的最大时间间隔长度问题,因为在发送图像有效数据期间,只发送图像有效数据,没有发送时钟修正序列,所以要计算时钟修正的频率,每发一包数据使用时间为 $512+8=520$ 个时钟周期,即发送状态机发送一次时钟修正序列到下一个循环发送时钟修正序列的最大时间间隔为 520 个时钟周期,而参考时钟的稳定度为 5.0×10^{-5} 时,按照 RocketIO 的要求每 10 000 个字符就需要至少发送一次时钟修正序列,即 $10\,000 \div 16=625$ 个时钟周期,这个时间间隔要求大于设计使用的时间间隔,本文的设计满足 RocketIO 的指标要求。发送状态机如图 6 所示,发送状态

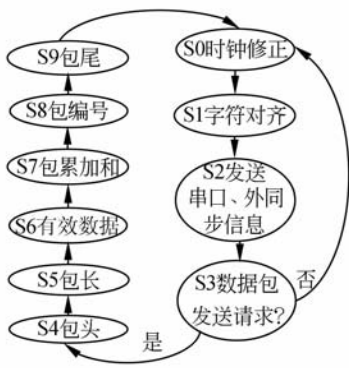


图 6 发送状态机转移图

Fig. 6 Diagram of transmitter state machine transfer

机在 S0 发送状态发送时钟修正序列,在 S1 状态字符对齐序列,字符对齐序列需要在发送时钟修正序列之后才能进行发送;在 S2 发送状态发送串口、外同步时序,当没有数据包发送请求的空闲时间,发送状态机就不断地发送时钟修正、字符对齐序列,用于通道链路的维持;若有请求发送图像有效数据包,则状态机转至发送数据包 S3 发送状态,从发送数据包的包头开始,包头 S4 发送状态作为数据包的起始标志,用于接收端接收检测数据包的开始标志,包头标志用特征字符及 K 字符表示,包头 S4 发送状态占用一个时钟周期(2 Byte);包长 S5 发送状态占用 1 个时钟周期(2

Byte),用于指示发送有效数据的长度,设计中包长为 1 KByte,包长过后紧接着发送有效数据 S6 发送状态,当发送完 1 KByte 有效数据后,进入发送当前数据包的累加和 S7 发送状态,包累加和用于包内有效数据的字节统计,占用 4 Byte,其中高 16 bit 先发,占用 2 Byte,低 16 bit 后发,也占用 2 Byte;S8 包编号发送状态为发送的每一个数据包都有相应的编号,用于统计发送过程中发送包有无丢失;包累加和、包编号都用于接收端接收数据的有效校验;S9 包尾发送状态用于指示当前包的结束,包头标志用特征字符及 K 字符表示。S2 发送状态,串口、外同步信息的发送是利用数据宽度的最低位(第 0 位)来发送串口信息,利用数据宽度的第二位(第 2 位)来发送外同步信息,串口信息和外同步信息在数据位宽度中至少要间隔一个数据位,原因是两个数据位相邻很近的情况下,两种时序经过发送状态机的时钟采样后,采样数据会带有毛刺,这样的采样数据经发送状态机打包发送后,在接收端再恢复为原始时序时,就会带有毛刺。设计使用串口收发波特率为 9 600 bit/s,本地采样时钟为 125 MHz,扣除掉发送数据包期间间隔 520 个时钟周期,即本地时钟对串口的实际采样率为 $\frac{125 \times 10^6}{520} = 240\,384.6$,因此, $240\,384.6 > 9\,600 \times 2$,采样率远远大于波特率,表明采样速率是可靠的。经过实验证明,两个串口信息在发送数据位里至少相隔一个数据位就能可靠采样,在接收端,从接收到的采样数据恢复出来的时序波形,就能避免毛刺带来的影响,实现串口、外同步信息在光纤通道上的可靠传输。

4.5 接收端图像重构

从接收端接收到的数据流里,根据数据包的特殊字符指示,提取出数据包,并把数据包解包后得到帧首、帧尾标志、图像有效数据及附加信息,其中比较重要的两个附加信息是,原始图像的靶面大小即像素/行、行/帧,这两个附加信息将作为重构图像的依据。重构图像状态机如图 7 所示,接收到的图像有效数据首先写入 FIFO 缓存,根据重构图像状态机,S1 帧开始状态接收提取得到的帧首标志,作为帧有效使能开始(即 FV 有效),FV 有效开始 8 个时钟周期后,进入 S2 行开始状态,在(即 LV 有效)下,此时需要进入 S3 状态,判断写入缓存 FIFO 的有效图像数据是否满一行,

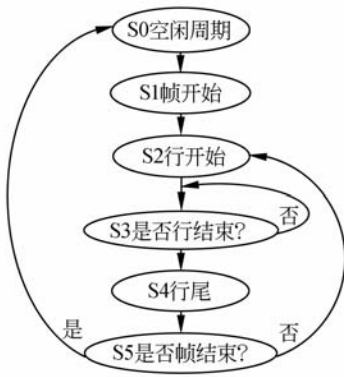


图7 重构图像状态转移

Fig. 7 Diagram of image reconstruction state machine transfer

若缓存 FIFO 已有一行数据,则读出图像有效数据至每一行,每一行结束后进入 S4 行尾状态,此时状态机也进入 S5 状态,判断当前行是否为当前帧的最后一行,若不是则跳转至 S2 行开始状态继续读出行,若是最后一行,则帧结束,即是一整帧图像。此时状态机跳出帧循环状态进入 S0 空闲状态,等待下一帧的到来。

5 实验测试

5.1 图像在传输过程中的延迟测试

根据单模光模块及单模光纤传输距离远的特点,在发送端,采用收发独立的 CWDM 单模光模块及单模光纤来做测试实验,该单模光模块工作波长为 1 470 nm,在本测试实验中采用 60 m 长的单模光纤进行传输,实验将实时图像数据经单模光模块沿着单模光纤发送出去,再将该单模光纤的另一端回环接至其单模光模块的输入端,实时接收回传的图像数据。此时,用 Chip-Scope-Pro 工具采样发送数据和接收数据,触发条件为某一帧的帧首标志,采样数据结果表明,图像数据在整个传输环节的延迟为 8 个时钟周期,即

$\frac{1}{125 \times 10^6} \times 8 = 64 \text{ ns}$,实验测试结果表明,图像数据在该传输过程中满足实时性的要求。

5.2 传输链路的可靠性测试

根据 Virtex-II PRO 的 RocketIO 属性,当传输链路有错误时,RXNOTINTABLE 信号就有错误标志指示,且 RXNOTINTABLE 的高低两位

分别代表传输数据位的高低两个字节,传输链路无错误时 RXNOTINTABLE 信号一直保持为“00”值,当信号为 1 时表示发生错误。测试方法为,在发送端实时发送图像数据,在接收端用 Chip-Scope-Pro 工具实时采样监测,以 RXNOTINTABLE 的突变为触发条件,实验测试结果表明,连续监测 26 个小时无一错误。

5.3 图像传输的可靠性测试

根据发送协议,发送端特别做了帧编号,以及每个数据包的包累加和统计。在接收端,根据帧编号、每个数据包的包累加和统计值,将该帧图像的每一包内的有效数据做累加和校验,再将累加和校验的统计值与相应数据包里的包累加数值相比较,若比较值为零,则说明数据传输无错误,若比较值不为零则说明数据传输有错误,以此为触发条件,用 Chip-Scope-Pro 工具实时监测采样数据;同时在发送端接相机的 Camera Link 实时输出图像作为图像源,这样解决了传统实验时,采用仿真图像源,而实际使用时采用相机,导致传输过程中图像时序不匹配的问题,在接受端通过图像采集卡实时采集图像,实验结果表明,靶面大小为 1 280×1 024,帧频为 90 frame/s 的图像数据流,连续发送 3 h 无出现错误。其实验结果用 Camera Link 图像采集卡采集到的图像如下图 8 所示。

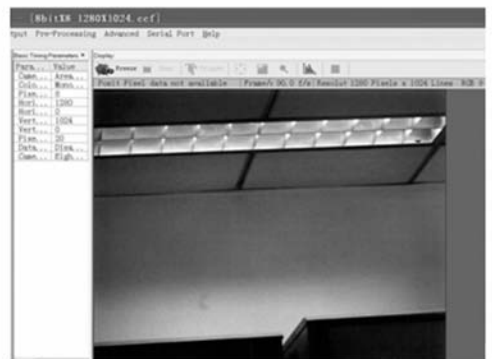


图8 实时采集图像

Fig. 8 Diagram of real-time gathering image

6 结论

为解决工程中传输带宽瓶颈,传输速率低等问题,本文设计了利用 FPGA 的 Rocket IO IP

核,完成了 Camera link 并行接口与光模块串行接口的相互转换。通过系统总体设计,系统硬件、软件的设计,为系统运行提供了平台。在此基础上,通过自定义的图像传输协议,实现了本系统与其他分系统的良好互联,为工程提供了总体解决方案。目前本系统已应用在工程项目上,总体运

行性能可靠,稳定。实验测试显示其可以 3.0 Gb/s 的传输速率稳定传输,今后有望将速率提高至 3.125 Gb/s。若采用性能更强的 Virtex-5 FPGAs 芯片,传输速率可能更高。这样,一个 RocketIO 通道就可以分时复用传输多路图像,使得系统设计向高度集成化,小型、微型化方向发展。

参考文献:

- [1] 张达,徐抒岩. 高速 CCD 图像数据光纤传输系统 [J]. 光学 精密工程, 2009, 17(3): 670-675.
ZHANG D, XU SH Y. High-speed CCD image data fiber transmission system [J]. *Opt. Precision Eng.*, 2009, 17(3): 670-675. (in Chinese)
- [2] 韩红霞,郭劲,曹立华,等. 利用光纤进行多路数据与视频图像信息混合传输 [J]. 光学 精密工程, 2005, 13(增): 30-33.
HAN H X, GUO J, CAO L H, *et al.*. Design of mixed transmission of multi-channel low-speed digital signals and high-speed video signals using optical fiber [J]. *Opt. Precision Eng.*, 2005, 13 (Supp): 30-33. (in Chinese)
- [3] 李晓滨,解成俊,郭玉彬,等. 光 CDMA 技术及应用 [J]. 光学 精密工程, 2002, 10(5): 487-492.
LI X B, XIE C J, GUO Y B, *et al.*. Optical CDMA technology and application [J]. *Opt. Precision Eng.*, 2002, 10 (5): 487-492. (in Chinese)
- [4] 韩光宇,刘伟,周刚,等. 双电机单元光纤定位机构 [J]. 光学 精密工程, 2004, 12(2): 151-155.
HAN G Y, LIU W, ZHOU G, *et al.*. Optical fiber positioning unit with two electro-motors [J]. *Opt. Precision Eng.*, 2004, 12(2): 151-155. (in Chinese)
- [5] 王攀科. 图像处理中高速接口互联技术研究 [D]. 北京: 中国科学院, 2009.
WANG P K. *Study of high speed interconnect technology in image processing* [D]. Beijing: Graduate University of the Chinese Academy of Sciences, 2005. (in Chinese)
- [6] HECHT J. 光纤光学 [M]. 北京: 人民邮电出版社, 2004.
HECHT J. *Fiber Optics* [M]. Beijing: People Post Press, 2004. (in Chinese)
- [7] 张玉富,谭笑,蒋慧娟. 光纤通信系统原理与实验教程 [M]. 北京: 电子工业出版社, 2004.
ZHANG Y F, TAN X, JIAN G H J. *Optical-fiber Communication System Principle and Experiment Tutorial* [M]. Beijing: Electronic Industry Press, 2004. (in Chinese)
- [8] Xilinx. Rocket IO Transceiver User Guide [Z]. 2004. 6.
- [9] Xilinx. Virtex-II Pro and Virtex-II Pro X Platform FPGA: Complete Data Sheet [Z]. 2005. 10.
- [10] Xilinx. Virtex-II Pro and Virtex-II Pro X FPGA User Guide [Z]. 2007. 11.
- [11] Camera Link committee. Camera Link Specifications [Z]. 2000. 10.

作者简介:



孙科林(1984—),男,海南三亚人,博士研究生,2005年、2009年于成都理工大学分别获学士、硕士学位,主要从事高速实时图像处理平台的研究。E-mail: colin7612@126.com



吴钦章(1955—),男,山东泰安人,博士生导师,研究员,主要从事光电跟踪测量信息处理及计算机系统管理控制技术的研究。E-mail: WuQzh@163.com

导师简介:



周维超(1975—),男,四川邻水人,博士,副研究员,主要从事高速图像处理硬件平台的研究。E-mail: zhouweichao@sina.com.cn

(本栏目编辑:李树军)

●下期预告

光电望远镜伺服系统速度环的自抗扰控制

王 帅,李洪文,孟浩然,吴庆林

(中国科学院 长春光学精密机械与物理研究所,吉林 长春 130033)

针对大口径光电望远镜具有惯量大、存在摩擦非线性的特点,设计了自抗扰控制器以改善伺服系统的速度响应特性。文中介绍了自抗扰控制器的工作原理和基本结构,给出了控制器参数选择依据,并仿真分析了各个参数的作用效果,最后在实际望远镜转台上和常规PID控制器进行了对比实验。实际测试结果表明,采用自抗扰控制器既可以实现大速度阶跃响应快速无超调,又可以缩短低速阶跃响应时间、改善低速平稳性,其中在以 $0.005(^{\circ})/s$ 速度运行时,系统稳定时间为 $1s$,速度波动标准差为 $0.000082(^{\circ})/s$,最大值为 $0.00042(^{\circ})/s$,其性能明显优于传统的PID控制系统。实验结果证明了自抗扰控制器对摩擦、饱和等非线性因素的抑制能力,可以提高望远镜伺服系统的调速性能。